

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

#3
Jc978 U.S. PTO
09/922742
08/07/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年12月27日

出 願 番 号
Application Number:

特願2000-398894

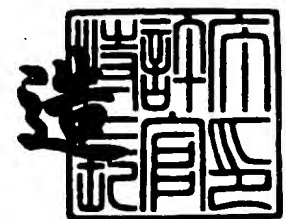
出 願 人
Applicant(s):

富士通株式会社

2001年 6月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3055810

【書類名】 特許願

【整理番号】 0000899

【提出日】 平成12年12月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 1/10

【発明の名称】 半導体集積回路と信号取り込み方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中村 俊和

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路と信号取り込み方法

【特許請求の範囲】

【請求項 1】 クロックバッファにおいて生成された内部クロック信号に同期して信号を取り込む半導体集積回路であって、

前記信号の変化が生じた場合にのみ、前記クロックバッファを活性化するクロックバッファ制御手段を備えたことを特徴とする半導体集積回路。

【請求項 2】 前記内部クロック信号に同期して、前記信号から内部信号を生成する入力バッファをさらに備えた請求項 1 に記載の半導体集積回路。

【請求項 3】 前記クロックバッファ制御手段は、前記信号と前記入力バッファから出力された前記内部信号とを比較し、前記信号が前記内部信号と相違するとき前記クロックバッファを活性化する請求項 2 に記載の半導体集積回路。

【請求項 4】 クロックバッファにおいて生成された内部クロック信号に同期して信号を取り込む複数の入力バッファを含む半導体集積回路であって、

少なくともいずれか一つの前記入力バッファに入力される前記信号が変化した場合には、前記クロックバッファを活性化するクロックバッファ制御手段を備えたことを特徴とする半導体集積回路。

【請求項 5】

前記クロックバッファ制御手段は、それぞれの前記入力バッファに対応して設けられ、前記入力バッファに入力される前記信号に変化が生じた場合には、前記クロックバッファを活性化する複数の信号変化監視手段を含むことを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】 前記信号変化監視手段は、前記信号と前記入力バッファから出力された信号とを比較する比較回路であり、

前記クロックバッファ制御手段は、複数の前記比較回路から出力された信号を論理合成して前記クロックバッファを活性化する信号を生成し、前記クロックバッファへ供給する論理回路をさらに備えた請求項 5 に記載の半導体集積回路。

【請求項 7】 前記論理回路は、同じ種類の信号が入力される複数の前記比較回路から出力された信号を論理合成する請求項 6 に記載の半導体集積回路。

【請求項 8】 半導体集積回路において、クロックバッファにより生成された内部クロック信号に同期して信号を取り込む信号取り込み方法であって、

前記信号の変化が生じた場合にのみ、前記クロックバッファを活性化するステップを有することを特徴とする信号取り込み方法。

【請求項 9】 半導体集積回路において、クロックバッファにおいて生成された内部クロック信号に同期して、複数の入力バッファでそれぞれ信号を取り込む信号取り込み方法であって、

前記入力バッファに供給される少なくとも一つの前記信号が変化した場合には、前記クロックバッファを活性化するステップを有することを特徴とする信号取り込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路と信号取り込み方法に関し、さらに詳しくは、クロック信号に同期して信号を入力する半導体集積回路と信号取り込み方法に関するものである。

【0002】

【従来の技術】

従来の汎用ダイナミックランダムアクセスメモリ（DRAM）は、セルフリフレッシュ機能を持っているので、チップ内部でリフレッシュ動作を実行することができる。このことから、従来においては、データ保持状態（いわゆるスタンバイ状態）で外部クロック信号の供給を止め、データ保持電流を微小な値に抑えていた。

【0003】

一方、同じ一つのチップにDRAMをロジック回路と混載したようなデバイス（DRAM混載ロジック回路）では、ロジック回路のコントローラはDRAMにおけるセルフリフレッシュ動作を監視できず、セルフリフレッシュ機能を実現しようとするれば回路が複雑化するため、セルフリフレッシュ機能を有することはなかった。

【0004】

ここで、このようなセルフリフレッシュ機能を持たないデバイスでは、データ保持動作時にリフレッシュコマンドを供給するため、デバイス外部からクロック信号も与える必要があるため、データ保持動作時における消費電流が増加してしまうという問題がある。

【0005】

すなわち、デバイス外部から供給されたクロック信号は、アドレス信号や（入力）データ、あるいは各種のコマンドをバッファリングする各入力バッファへ分配されるが、特にDRAM混載ロジック回路では上記入力バッファの数が多くなるため、上記クロック信号を伝送する配線長の合計が増大する。従って、かかる入力バッファを構成するトランジスタのゲート容量が大きくなるため、該容量を駆動するために充放電する際の消費電流が増加してしまう。

【0006】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、データ保持動作時における消費電流を低減する半導体集積回路と信号取り込み方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記の目的は、クロックバッファにおいて生成された内部クロック信号に同期して信号を取り込む半導体集積回路であって、信号の変化が生じた場合にのみ、クロックバッファを活性化するクロックバッファ制御手段を備えたことを特徴とする半導体集積回路を提供することによって達成される。

【0008】

このような手段によれば、取り込む信号に変化がない場合にはクロックバッファを不活性化することができる。

【0009】

ここで、より具体的には、内部クロック信号に同期して上記信号から内部信号を生成する入力バッファをさらに備え、クロックバッファ制御手段は、上記信号

と入力バッファから出力された内部信号とを比較して両信号が相違するとき、クロックバッファを活性化するものとすることができる。

【 0 0 1 0 】

また、本発明の目的は、クロックバッファにおいて生成された内部クロック信号に同期して信号を取り込む複数の入力バッファを含む半導体集積回路であって、少なくともいずれか一つの入力バッファに入力される信号が変化した場合には、クロックバッファを活性化するクロックバッファ制御手段を備えたことを特徴とする半導体集積回路を提供することにより達成される。

【 0 0 1 1 】

このような手段によれば、複数の信号を取り込む場合において、全ての信号に変化が生じない場合にはクロックバッファを不活性化することができるため、複数の信号を取り込む半導体集積回路において、例えばデータ保持動作時（スタンバイ状態）における消費電流を低減することができる。

【 0 0 1 2 】

ここで、クロックバッファ制御手段は、それぞれの入力バッファに対応して設けられ、入力バッファに入力される信号に変化が生じた場合には、クロックバッファを活性化させる複数の信号変化監視手段を含むものとすることができる。

【 0 0 1 3 】

そして、一例として、信号変化監視手段は、信号と入力バッファから出力された信号とを比較する比較回路により構成し、クロックバッファ制御手段は、複数の比較回路から出力された信号を論理合成してクロックバッファを活性化させる信号を生成し、クロックバッファへ供給する論理回路をさらに備えたものとすることができる。

【 0 0 1 4 】

また、論理回路は、同じ種類の信号が入力される複数の比較回路から出力された信号を論理合成するものとするれば、信号の種類に応じてクロックバッファを制御することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一又は相当部分を示す。

【実施の形態 1】

クロック信号に同期してデータ信号を取りこむDRAM混載ロジック回路などのデバイスにおいて、データ保持動作時の消費電流を低減するためには、入力されるデータ信号に変化がないときは該クロック信号を各バッファへ分配しないと共に、該データ信号の変化が検出された場合において各バッファへ該クロック信号を分配するようにすればよい。

【0016】

以下において、本実施の形態 1 に係る半導体集積回路をより詳しく説明する。図 1 は、本発明の実施の形態 1 に係る半導体集積回路の構成を示すブロック図である。図 1 に示されるように、本実施の形態に係る半導体集積回路は、クロックバッファ 1 と入力バッファ 3、及び比較回路 5 とを備える。

【0017】

ここで、クロックバッファ 1 は入力された外部クロック信号CLKをバッファリングして内部クロック信号clkを生成し、入力バッファ 3 へ供給する。そして、入力バッファ 3 は供給された内部クロック信号clkに同期してデータ信号Dinを入力し、内部データ信号outを生成する。

【0018】

また、比較回路 5 は入力バッファ 3 により生成された内部データ信号outと、入力バッファ 3 に入力されるデータ信号Dinとを比較し、該比較の結果を示す信号cozをクロックバッファ 1 へ供給する。

【0019】

以下において、本実施の形態 1 に係る半導体集積回路の動作を、図 2 に示されたタイミングチャートを参照しつつ説明する。まず例えば図 2 (b) に示されるように、入力バッファ 3 へ入力されるデータ信号Dinの論理レベルが時刻T 2 においてロウレベル(L)からハイレベル(H)へ変化し、時刻T 4 においてハイレベルからロウレベルへ変化したとする。

【0020】

このとき時刻 T 2 及び時刻 T 4 では、比較回路 5 はデータ信号 Din の変化により内部データ信号 out との間で生じた論理レベルの相違を検出し、図 2 (e) に示されるように、時刻 T 2 及び時刻 T 4 においてハイレベルの信号 coz をクロックバッファ 1 へ供給する。

【 0 0 2 1 】

これにより、クロックバッファ 1 はハイレベルの信号 coz が供給された場合にだけ活性化され、図 2 (c) に示されるように、時刻 T 3 及び時刻 T 5 においてハイレベルの内部クロック信号 clk を生成して入力バッファ 3 へ供給する。なお、図 2 (c) の破線により示される波形は、従来の半導体集積回路に含まれたクロックバッファにより、図 2 (a) に示された外部クロック信号 CLK がバッファリングされ生成される内部クロック信号 clk を示すものである。

【 0 0 2 2 】

そして、図 2 (d) に示されるように、入力バッファ 3 は時刻 T 3 においてハイレベルに変化したデータ信号 Din をバッファリングしてハイレベルの内部データ信号 out を生成し、時刻 T 5 においてロウレベルに変化したデータ信号 Din をバッファリングしてロウレベルの内部データ信号 out を生成する。

【 0 0 2 3 】

従って、上記のように本実施の形態 1 に係る半導体集積回路では、入力されるデータ信号 Din に変化がないときは内部クロック信号 clk を入力バッファ等へ分配するクロックバッファ 1 を不活性化する一方、データ信号 Din に変化があったときのみ該データ信号 Din のセットアップ時間内にクロックバッファ 1 を活性化させる。

【 0 0 2 4 】

以下において、図 1 に示された本実施の形態 1 に係る半導体集積回路の各部分の具体例を説明する。図 3 は、図 1 に示されたクロックバッファ 1 の構成例を示す回路図である。図 3 に示されるように、クロックバッファ 1 は NAND 回路 1 0 と反転回路 1 1, 1 2 を含む。ここで、NAND 回路 1 0 には外部クロック信号 CLK と信号 coz が供給され、反転回路 1 1 は NAND 回路 1 0 に接続される。また、反転回路 1 2 は反転回路 1 1 に接続される。

【 0 0 2 5 】

このような構成を有するクロックバッファ 1 においては、反転回路 1 1 から内部クロック信号 clkz が出力され、反転回路 1 2 から内部クロック信号 clkz を反転した内部クロック信号 clkx が出力される。

【 0 0 2 6 】

また、NAND 回路 1 0 は入力される信号 coz がロウレベルとされるとき不活性化され、ハイレベルとされるとき活性化されるため、クロックバッファ 1 は比較回路 5 から供給される信号 coz に応じて制御され、信号 coz がハイレベルとされたときにのみ活性化される。

【 0 0 2 7 】

図 4 は、図 1 に示された入力バッファ 3 の構成例を示す回路図である。図 4 に示されるように、入力バッファ 3 は反転回路 3 1, 3 2 とラッチ回路 L 1, L 2 及びゲート回路 G 1, G 2 を備える。ここで、反転回路 3 1 にはデータ信号 Din が供給され、ゲート回路 G 1 は反転回路 3 1 に接続される。また、ラッチ回路 L 1 はゲート回路 G 1 に接続され、ゲート回路 G 2 はラッチ回路 L 1 に接続される。そして、ラッチ回路 L 2 はゲート回路 G 2 に接続され、反転回路 3 2 はラッチ回路 L 2 に接続される。

【 0 0 2 8 】

また、上記ゲート回路 G 1, G 2 はそれぞれ並列接続された P チャネル MOS トランジスタと N チャネル MOS トランジスタにより構成され、ラッチ回路 L 1, L 2 はそれぞれ二つの反転回路により構成される。

【 0 0 2 9 】

ここで、ゲート回路 G 1 に含まれた P チャネル MOS トランジスタとゲート回路 G 2 に含まれた N チャネル MOS トランジスタのゲートには内部クロック信号 clkz が供給され、ゲート回路 G 1 に含まれた N チャネル MOS トランジスタとゲート回路 G 2 に含まれた P チャネル MOS トランジスタのゲートには内部クロック信号 clkx が供給される。

【 0 0 3 0 】

そして、上記のような構成を有する入力バッファ 3 においては、クロックバッ

ファ 1 から供給される内部クロック信号clkz,clkxに応じてゲート回路G 1, G 2 が交互に開かれることにより、供給されたデータ信号Dinがバッファリングされ、反転回路 3 2 から内部データ信号outが出力される。

【 0 0 3 1 】

図 5 は、図 1 に示された比較回路 5 の構成例を示す回路図である。図 5 に示されるように、比較回路 5 はNAND回路 5 1, 5 4 とNOR回路 5 2、及び反転回路 5 3, 5 5 を備えるものである。

【 0 0 3 2 】

ここで、NAND回路 5 1 及びNOR回路 5 2 にはデータ信号Din及び内部データ信号outが供給され、反転回路 5 3 はNOR回路 5 2 に接続される。そして、NAND回路 5 4 はNAND回路 5 1 と反転回路 5 3 に接続され、反転回路 5 5 はNAND回路 5 4 に接続される。

【 0 0 3 3 】

このような構成を有する比較回路 5 においては、データ信号Dinと内部データ信号outの論理レベルが比較され、両信号の論理レベルが相違する場合には反転回路 5 5 からハイレベルの信号cozが出力され、一致する場合には反転回路 5 5 からロウレベルの信号cozが出力される。

【 0 0 3 4 】

以上より、本発明の実施の形態 1 に係る半導体集積回路によれば、リフレッシュ動作を繰り返すようなデータ保持動作時においては、入力されるデータ信号やアドレス信号が変化しない限りにおいてクロックバッファ 1 が不活性化されるため、消費電流を低減することができる。

【 0 0 3 5 】

なお、上記のような効果が得られることから、本発明の実施の形態 1 に係る半導体集積回路は、携帯機器等における電池駆動のLSIに適用することが特に有用である。

〔実施の形態 2〕

上記実施の形態 1 に係る半導体集積回路では、入力バッファ 3 へ供給されるデータ信号Dinの種類は一つとされたが、データ信号の他にアドレス信号やコマン

ド等といった複数の種類にわたる信号が入力される半導体集積回路にも、同様に本発明を適用することができる。

【 0 0 3 6 】

ここで、複数の種類にわたる信号毎に上記実施の形態 1 に係るクロックバッファ 1 を設けると回路規模やコストが増大するため、入力された各信号について変化が検出されたことを示す信号の論理和をとることにより、該クロックバッファを共通化してクロックバッファの数を減らしても良い。

【 0 0 3 7 】

また、データやアドレスあるいはコマンドといった信号の種類（機能）毎に上記クロックバッファの共通化を図ってもよい。

【 0 0 3 8 】

以下において、本実施の形態 2 に係る半導体集積回路をより具体的に説明する。図 6 は、本発明の実施の形態 2 に係る半導体集積回路の構成を示すブロック図である。図 6 に示されるように、実施の形態 2 に係る半導体集積回路は、一つのクロックバッファ 1 と入力バッファ 3 a ～ 3 d、比較回路 5 a ～ 5 d、及び OR 回路 7 とを備えるものである。

【 0 0 3 9 】

ここで、全ての入力バッファ 3 a ～ 3 d には、クロックバッファ 1 で生成された内部クロック信号 clk が供給されると共に、入力バッファ 3 a にはデータ信号 Din0 が供給され、入力バッファ 3 b にはデータ信号 Din1 が供給され、入力バッファ 3 c にはデータ信号 Din2 が供給され、入力バッファ 3 d にはデータ信号 Din3 が供給される。

【 0 0 4 0 】

そして、入力バッファ 3 a ～ 3 d は、それぞれデータ信号 Din0 ～ Din3 をバッファリングして内部データ信号 out0 ～ out3 を生成し出力する。また、比較回路 5 a ～ 5 d が各入力バッファ 3 a ～ 3 d に一対一に対応するよう設けられ、比較回路 5 a ではデータ信号 Din0 と内部データ信号 out0 とが比較される。そして同様に、比較回路 5 b ではデータ信号 Din1 と内部データ信号 out1 とが比較され、比較回路 5 c ではデータ信号 Din2 と内部データ信号 out2 とが比較され、比較回路 5 d では

データ信号Din3と内部データ信号out3とが比較される。

【0041】

さらに、各比較回路5a～5dは、それぞれ供給されたデータ信号と内部データ信号の論理レベルを比較し、両論理レベルが相違するときにおいてハイレベルとなる信号をOR回路7へ供給する。

【0042】

そして、OR回路7は少なくともいずれか一つの比較回路5a～5dからハイレベルの信号が供給された場合には、ハイレベルの信号cozをクロックバッファ1へ供給してクロックバッファ1を活性化させる。

【0043】

従って、上記のような構成を有する半導体集積回路では、入力バッファ3a～3dに入力するデータ信号Din0～Din3の少なくとも一つが変化したときクロックバッファ1が活性化され、入力バッファ3a～3dに内部クロック信号clkが供給（分配）される。なお、各入力バッファ3a～3dは、クロックバッファ1から供給される内部クロック信号clkに同期してデータ信号Din0～Din3をバッファリングし、内部データ信号out0～out3を生成する。

【0044】

ここで、上記のような図6に示された半導体集積回路は、入力されるデータ信号やアドレス信号、あるいはコマンド等といった機能（種類）の異なる信号別に用いられることが有用である。すなわち、このように機能（種類）の異なる信号毎にクロックバッファ1を制御すれば、例えば動作のある局面においてコマンドのみが変化しデータ信号やアドレス信号が変化しない場合には、コマンド系のクロックバッファ1だけが活性化されデータ信号系やアドレス信号系のクロックバッファ1は不活性化されるため、動作全体における消費電流を低減することができる。

【0045】

以上より、本発明の実施の形態2に係る半導体集積回路によれば、リフレッシュ動作を繰り返すようなデータ保持動作時などにおいて、選択的にクロックバッファを活性化することができるため、クロックバッファを効率的に駆動すること

により消費電流を低減することができる。

【発明の効果】

上述の如く、本発明に係る半導体集積回路とデータ取り込み方法によれば、取り込む信号に変化がない場合にはクロックバッファを不活性化するため、データ保持動作時（スタンバイ状態）等における消費電流を低減することができる。

【0046】

また、同じ種類の信号が入力される複数の比較回路から出力された信号を論理合成するものとすれば、信号の種類に応じてクロックバッファを制御することができるため、クロックバッファを効率的に駆動することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1に係る半導体集積回路の構成を示すブロック図である。

【図2】

図1に示された半導体集積回路の動作を示すタイミングチャートである。

【図3】

図1に示されたクロックバッファの構成例を示す回路図である。

【図4】

図1に示された入力バッファの構成例を示す回路図である。

【図5】

図1に示された比較回路の構成例を示す回路図である。

【図6】

本発明の実施の形態2に係る半導体集積回路の構成を示すブロック図である。

【符号の説明】

- 1 クロックバッファ
- 3, 3a～3d 入力バッファ
- 5, 5a～5d 比較回路
- 7 OR回路
- 10, 51, 54 NAND回路
- 11, 12, 31, 32, 53, 55 反転回路

5 2 N O R 回路

L 1 , L 2 ラッチ回路

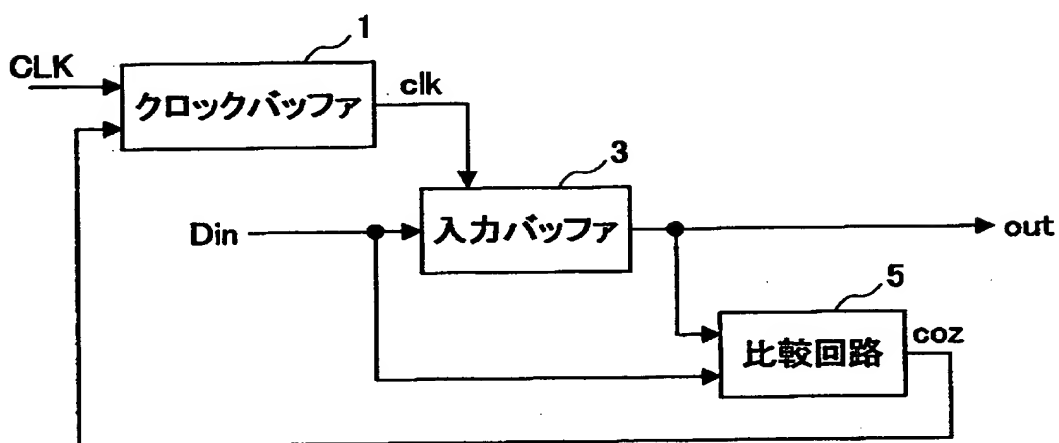
G 1 , G 2 ゲート回路

【書類名】

図面

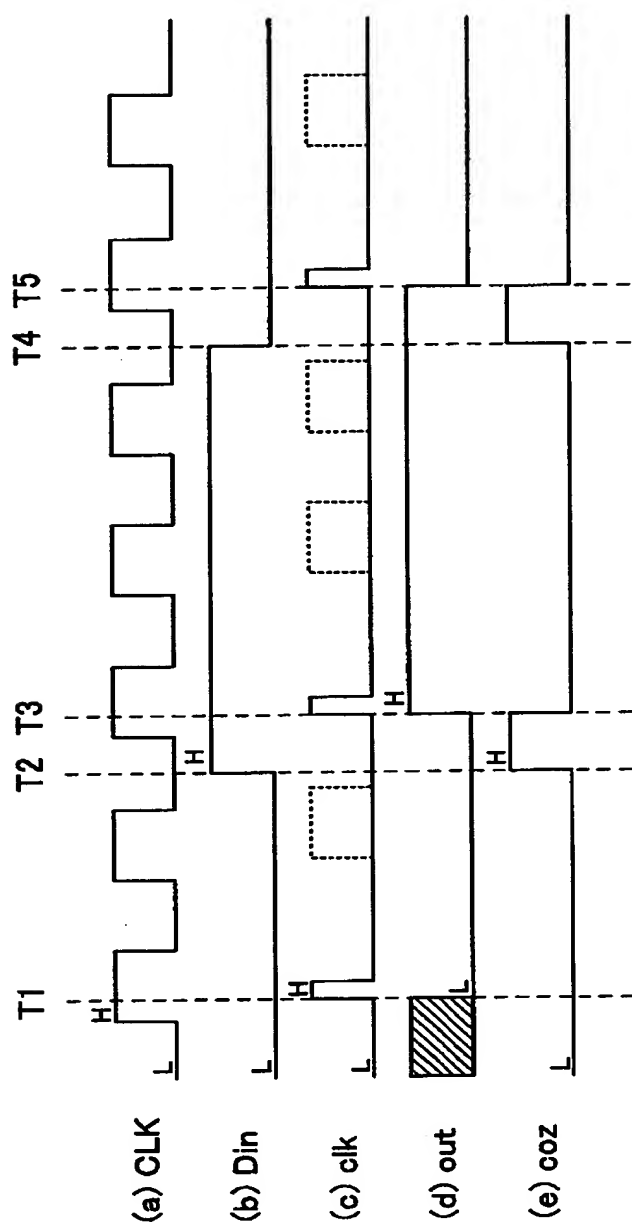
【図 1】

本発明の実施の形態 1 に係る半導体集積回路の
構成を示すブロック図



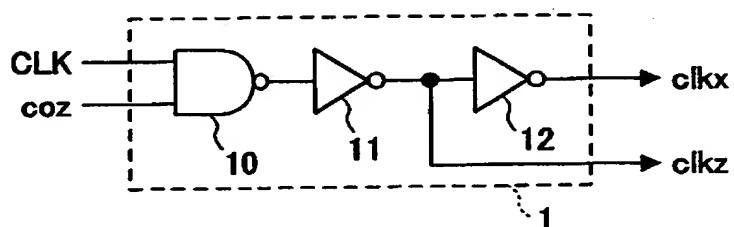
【図 2】

図 1 に示された半導体集積回路の動作を示すタイミングチャート



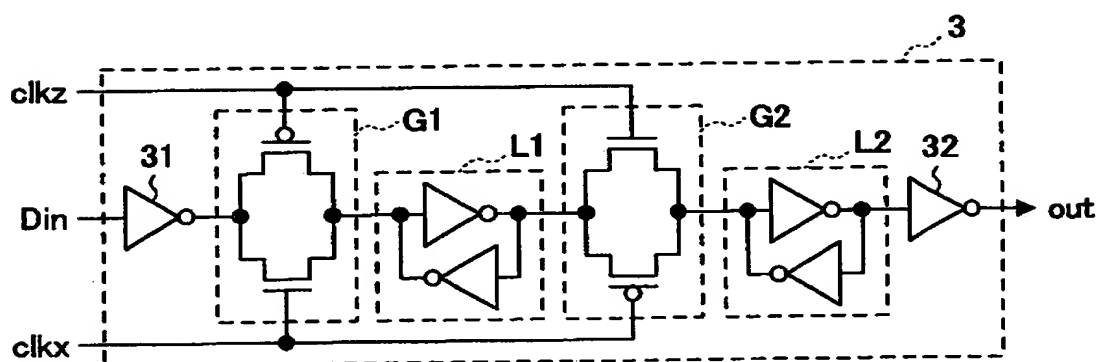
【図 3】

図 1 に示されたクロックバッファの構成例を示す回路図



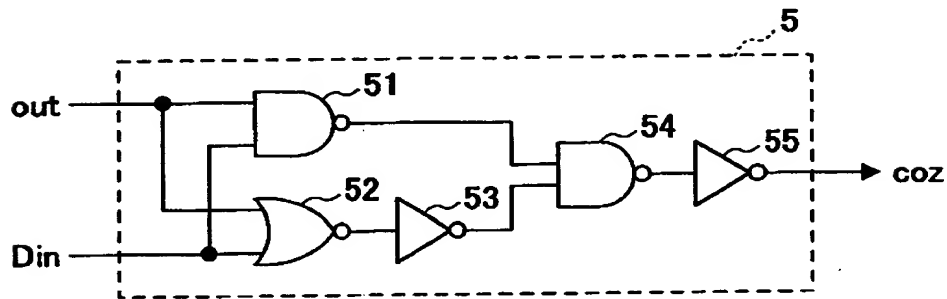
【図 4】

図 1 に示された入力バッファの構成例を示す回路図



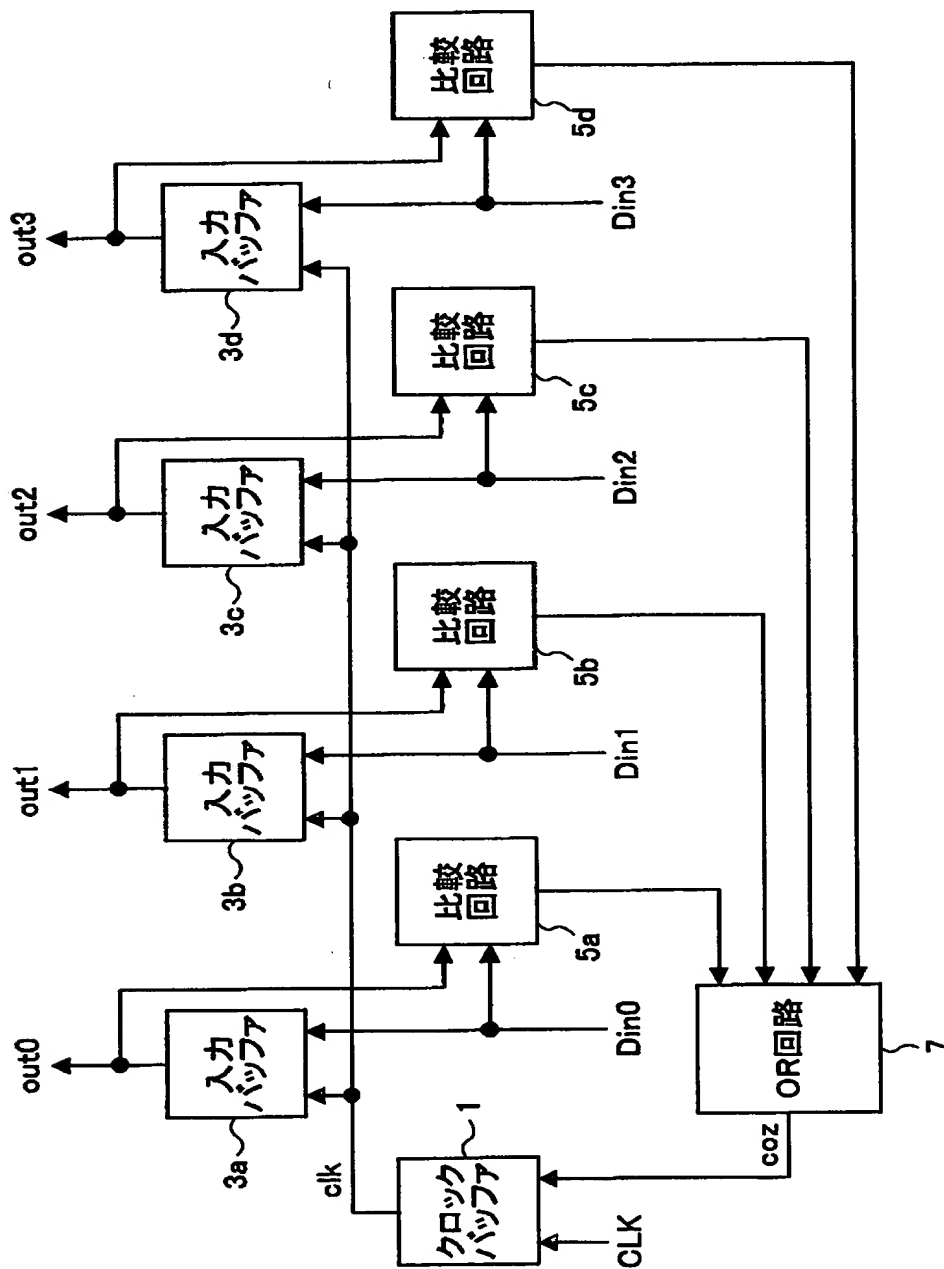
【図 5】

図 1 に示された比較回路の構成例を示す回路図



【図 6】

本発明の実施の形態 2 に係る半導体集積回路の構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 データ保持動作時における消費電流を低減する半導体集積回路と信号取り込み方法を提供する。

【解決手段】 クロックバッファ 1 において生成された内部クロック信号clkに同期してデータ信号Dinを取り込む半導体集積回路であって、データ信号Dinの変化が生じた場合にのみ、クロックバッファ 1 を活性化する比較回路 5 を備えたことを特徴とする半導体集積回路を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社